

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-273367

(43)公開日 平成7年(1995)10月20日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 33/00		A		
H 0 1 S 3/18				

審査請求 未請求 請求項の数7 OL (全 7 頁)

(21)出願番号 特願平6-65141

(22)出願日 平成6年(1994)4月1日

(71)出願人 000003263

三菱電線工業株式会社
兵庫県尼崎市東向島西之町8番地

(72)発明者 只友 一行

兵庫県伊丹市池尻4丁目3番地 三菱電線
工業株式会社伊丹製作所内

(72)発明者 岡川 広明

兵庫県伊丹市池尻4丁目3番地 三菱電線
工業株式会社伊丹製作所内

(72)発明者 渡部 信一

兵庫県伊丹市池尻4丁目3番地 三菱電線
工業株式会社伊丹製作所内

(74)代理人 弁理士 高島 一

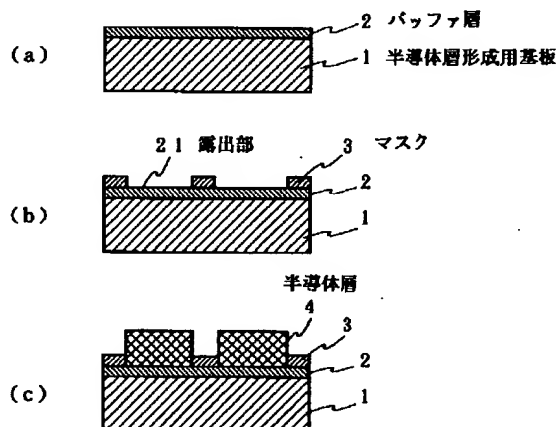
最終頁に続く

(54)【発明の名称】 半導体基板の製造方法および発光素子の製造方法

(57)【要約】

【目的】 クラック等を発生させることなく高品質の半導体基板を製造することが可能な半導体基板の製造方法、ならびにこの半導体基板を用いた高輝度、高信頼性を有する発光素子の製造方法を提供すること。

【構成】 本発明の半導体基板の製造方法は、半導体層形成用基板1上にバッファ層2を形成し、ついで該バッファ層2表面に、実質的にその上に結晶が成長し得ない材料で部分的にマスク3を形成することにより複数の露出部21を形成した後、該露出部21に半導体層4を形成する工程を有するものである。また、本発明の発光素子の製造方法は、上記方法により得られた半導体基板上に、半導体活性層および半導体クラッド層を有する多層部を形成する工程を有するものである。



【特許請求の範囲】

【請求項1】 半導体層形成用基板上にバッファ層を形成し、ついで該バッファ層表面に、実質的にその上に結晶が成長し得ない材料で部分的にマスクを形成することにより複数の露出部を形成した後、該露出部に半導体層を形成する工程を有する半導体基板の製造方法。

【請求項2】 半導体層が、周期律表の III 族と V 族の元素が 1 : 1 の割合で結合した化合物よりなる層である請求項 1 記載の半導体基板の製造方法。

【請求項3】 半導体層形成用基板が、周期律表の III 族と V 族の元素が 1 : 1 の割合で結合した化合物、サファイア、水晶ならびに SiC より選ばれる材料よりなる請求項 1 または 2 記載の半導体基板の製造方法。

【請求項4】 バッファ層が ZnO、MgO、BeO、HgO またはこれらの 2 種以上から構成される混晶よりなる請求項 1、2 または 3 記載の半導体基板の製造方法。

【請求項5】 マスクが非晶質体である請求項 1 記載の半導体基板の製造方法。

【請求項6】 マスクが、SiO₂、Si₃N₄、TiN および Ta₂O₅ から選ばれる非晶質体である請求項 5 記載の半導体基板の製造方法。

【請求項7】 請求項 1～6 のいずれかに記載の方法により得られた半導体基板上に、半導体活性層および半導体クラッド層を有する多層部を形成する工程を有する発光素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体基板の製造方法および発光素子の製造方法に関し、詳しくは高品質の半導体基板が高効率で得られる半導体基板の製造方法ならびに高輝度、高信頼性を有する LED、LD 等の発光素子

*子の製造方法に関する。

【0002】

【従来技術】 LED、LD 等の発光デバイス等に使用される半導体のうち、AlN、GaN、InN 等の窒化物系半導体は、例えばこれらの混晶として使用することができ、これによれば赤色から紫外までの発光領域に対応することが可能であるという利点を有する。この窒化物系半導体として代表的なものである GaN を用いて例えば発光素子用の半導体基板を製造する場合、従来は図 4 に示すような方法が用いられている。この方法は、図 4 (a) に示すようにサファイア等よりなる基板 1 上に ZnO 等よりなるバッファ層 2 を形成し、ついで図 4 (b) に示すようにこのバッファ層 2 上に GaN 層 4 を HVPE (Hydride Vapor Phase Epitaxy) 法等により高速成長させた後、図 4 (c) に示すように酸等により上記バッファ層 2 をエッチング除去して GaN 基板 S を得るものである。

【0003】 上記方法によれば、GaN/ZnO の格子不整合率が a 軸で 1.4% と良好であるので、高品質の GaN を成膜することが可能である。

【0004】

【発明が解決しようとする課題】 しかしながら上記方法においては、小型の GaN を成膜する場合であれば問題はないが、表 1 に示すように、GaN および ZnO とサファイア基板との格子定数および熱膨張係数に差があり、このため例えば 1090℃ 程度の温度で大型の GaN を成長した後、これを冷却する過程で GaN にクラックが発生するため、上記方法によつては大型の GaN 基板が得られないという問題がある。

【0005】

【表 1】

	格 子 定 数		熱 膨 張 係 数	
	a 軸	c 軸	c 軸	c 軸直交
GaN	3.186Å	5.185Å	7.8B(-6)	5.6B(-6)
ZnO	3.250Å	5.2065Å	—	—
サファイア	4.758Å	5.182Å	8.5B(-6)	7.5B(-6)

【0006】 本発明の目的は、上記課題を解消し、クラック等が発生させることなく高品質の半導体基板を製造することが可能な半導体基板の製造方法、ならびにこの半導体基板を用いた高輝度、高信頼性を有する発光素子の製造方法を提供することにある。

【0007】

【課題を解決するための手段】 上記目的は、以下に示す※50

※本発明の半導体基板の製造方法および発光素子の製造方法により達成される。即ち、本発明の半導体基板の製造方法は、半導体層形成用基板上にバッファ層を形成し、ついで該バッファ層表面に、実質的にその上に結晶が成長し得ない材料で部分的にマスクを形成することにより複数の露出部を形成した後、該露出部に半導体層を形成する工程を有するものである。また、本発明の発光素子

の製造方法は、上記方法により得られた半導体基板上に、半導体活性層および半導体クラッド層を有する多層部を形成する工程を有するものである。

【0008】

【作用】本発明は、半導体層を複数に分割して基板上に形成することによって、該半導体層と半導体層形成用基板との格子定数や熱膨張係数の違いによる歪の影響を小さくし、これによりクラック等の発生を防止するようにしたものである。

【0009】図1は、本発明の半導体基板の製造方法の一例を示す概略図である。以下、同図に基づいて本発明を詳細に説明する。なお、以下の説明においては、前記図4と同一箇所には同一の符号を付して説明する。

【0010】(1) バッファ層の形成

まず、図1(a)に示すように、半導体層形成用基板1上にバッファ層2を形成する。

【0011】上記半導体層形成用基板1としては、形成を意図する半導体層4およびバッファ層2を構成する結晶と格子定数ができるだけ近いものが、良質の半導体層4を得る上で好ましく、さらには、熱膨張係数ができるだけ近いものを用いることが、クラック等の発生を防止する上で好ましい。上記半導体層形成用基板1としては、例えば、周期律表のIII族(以下、単にIII族という)とV族(以下、単にV族という)の元素が1:1の割合で結合した化合物(以下、III-V族結晶と称す)、サファイア、水晶、SiC等が挙げられる。なお、半導体層形成用基板1の厚さは特に限定されないが、10~1000 μ m程度、特に20~700 μ m程度とすると、該基板1の機械的強度が十分で、かつ経済的に安価となり好ましい。また、半導体層形成用基板1の半導体層4形成側の表面積も特に限定されないが、0.3 \times 0.3cm²~20 \times 20cm²程度、より好ましくは0.5 \times 0.5cm²~10 \times 10cm²程度とすると、良質の半導体層を得ることができるとともに、安定した歩留りも得られる。

【0012】上記バッファ層2は、半導体層形成用基板1と半導体層4との間の格子定数や熱膨張係数の違いを緩和するためのものである。このため、このバッファ層2としては、半導体層形成用基板1および半導体層4を構成するそれぞれの結晶と格子定数ができるだけ近いものが、良質の半導体層4を得る上で好ましく、さらには、熱膨張係数ができるだけ近いものを用いることが、クラック等の発生を防止する上で好ましい。上記バッファ層2としては、ZnO、MgO、BeO、BeO-ZnO系化合物、ZnO-HgO系化合物、ZnO-MgO系化合物、BeO-ZnO-HgO系化合物、BeO-ZnO-MgO系化合物等が例示される。上記バッファ層2の形成は、スパッタリング、CVD、MOVPE等の方法により行われるが、例えばバッファ層2としてZnO、BeO-ZnO系化合物またはBeO-ZnO

-HgO系化合物を用いる場合は、該バッファ層2をスパッタリングにより形成すると、該バッファ層2のエッチングによる除去性の点で好ましく、一方MOVPEにより形成すると、該バッファ層2の結晶性を良好とすることができ好ましい。上記バッファ層2は、厚さ10~2000nm、好ましくは20~1500nmとなるように形成することが好ましい。上記バッファ層2の厚さが10nm以上であれば、半導体層形成用基板1と半導体層4との格子定数や熱膨張係数の違いを十分に緩和することができ、一方2000nm以下であれば半導体層4形成後にこのバッファ層2を除去することが容易である。

【0013】(2) マスクの形成

ついで、図1(b)に示すように、上記バッファ層2表面に部分的にマスク3を形成して複数の露出部21を形成する。

【0014】上記マスク3は、その上に結晶を成長させないようにするものであり、本発明においては、このマスク3をバッファ層2表面に部分的に形成することで、バッファ層2表面を複数箇所において露出させるようにする。このようにマスク3を部分的に形成したバッファ層2上に結晶を成長させると、この複数の露出した部分(露出部21)にのみ結晶が成長する。したがって、これによって半導体層4を複数に分割して形成することが可能となる。

【0015】上記マスク3を構成する材料は、その上に実質的に結晶が成長し得ないものであることが必要である。このような材料として、例えば非晶質体が例示され、さらにこの非晶質体としてSiO₂、Si₃N₄、TiN、Ta₂O₅等の窒化膜や酸化膜等が例示されるが、なかでも安価で耐熱性に優れる上にマスクとして形成することが容易なSiO₂が特に好適に使用される。上記マスク3は、例えば、スパッタ、CVD等の方法によりバッファ層2表面全体を覆うように形成した後、露出部21の形成を意図する部分のみをリソグラフィー等の方法で除去することにより形成することができる。またこのマスク3の厚さは、マスクとしての機能が十分で、かつその形成が容易となるよう、0.5~5 μ m程度とすることが適当である。さらに、マスク3の平面形状は特に限定されないが、図2に示すような格子状とすると、バッファ層2表面積を有効に使用できるため、半導体層4、即ち半導体基板を高効率で製造でき、歩留りも良好となる。

【0016】上記露出部21のそれぞれのサイズは、20 μ m角以下程度、好ましくは5 μ m角以下程度となることが望ましい。上記露出部21のそれぞれのサイズ(即ち、分割形成される半導体層4のそれぞれのサイズ)が20 μ m角以下であれば、半導体層4と半導体層形成用基板1との格子定数や熱膨張係数の違いによる歪の影響が小さいため、半導体層4におけるクラック等の発生を防止することができる。さらに、上記露出部21の

それぞれのサイズを発光素子等のチップサイズ(300～500 μ m角)としておくと、半導体層4をチップサイズにダイシングする工程が不要となるため製造工程の簡素化および製造コストの低減が可能になるとともに、歩留りを向上させることができる。また、上記露出部21の間隔は、1～500 μ m程度が好ましく、該間隔が上記範囲内であれば、マスク3上での半導体層4のオーバーグロウスもなく、製造コストも低く抑えることができる。

【0017】(3) 半導体層の形成

この後、図1(c)に示すように、該露出部21に半導体層4を形成する。

【0018】上記半導体層4として形成できる半導体の種類には特に制限はなく、例えば、化合物半導体として代表的なものであるIII-V族系の化合物(例えばGa

N、GaP、GaAsP、AlGaAs)等よりなるも*

半導体層	バッファ層	半導体層形成用基板
BN	BeO	サファイア
AlN	BeO-ZnO	サファイア
GaN	BeO-ZnO	サファイア
InN	ZnO-HgO	サファイア
InGaN	BeO-ZnO-HgO	サファイア
InAlN	BeO-ZnO-HgO	サファイア
InBN	BeO-ZnO-HgO	サファイア
GaAlN	BeO-ZnO	サファイア
GaBN	BeO-ZnO	サファイア
AlBN	BeO-ZnO	サファイア
InGaAlN	BeO-ZnO-HgO	サファイア
InGaBN	BeO-ZnO-HgO	サファイア
InAlBN	BeO-ZnO-HgO	サファイア
GaAlBN	BeO-ZnO	サファイア
InGaAlBN	BeO-ZnO-HgO	サファイア

【0021】上記半導体層4の形成方法としてはHVP E、MOVPE、MBE等が例示されるが、半導体層4として例えばGaN、InNまたはInGaNを形成する場合はHVPEまたはMOVPEが好適に用いられ、また、AlN、BN、あるいは上記GaN、InNまたはInGaNにAlまたはBを加えたものを形成する場合はMOVPEが好適に用いられる。

【0022】上記(1)～(3)の工程の後、上記バッファ層2を除去して、半導体層4を取り出し、これを半導体基板Sとする(図示せず)。バッファ層2の除去は、酸、アルカリ等によるエッチングやその他公知の切断、切削等の方法により行えばよいが、半導体層4を半導体層形成用基板1から完全に分離させるためにはエッチングによることが好ましい。

【0023】本発明においては、上記方法により得られ※50

*のが例示されるが、本発明の方法は、上記化合物のなかでも、該化合物よりなる半導体を形成するための基板として格子定数の近いものがないBN、AlN、GaNまたはInNよりなる半導体を形成するのに特に有用である。

【0019】なお本発明においては、上記半導体層4、前記バッファ層2および前記半導体層形成用基板1として使用する材料に特に制限はないが、前述した理由から、互いに格子定数ができるだけ近いものを、さらに、熱膨張係数ができるだけ近いものを組み合わせて用いることが好ましい。このような、格子定数および熱膨張係数が互いに近い材料の組み合わせとしては、例えば表2に示すものが挙げられる。

【0020】

【表2】

※半導体基板S上に、半導体活性層および半導体クラッド層を有する多層部を形成することにより、LED、LD等の発光素子を製造することができる。

【0024】図3は、上記方法による発光ダイオード(LED)の製造方法の一例を示す模式断面図である。以下、同図に基づいて本発明の発光素子の製造方法を説明する。

【0025】(半導体基板Sの作製)まず、図3(a)～(c)に示すようにして、半導体基板Sを作製する。本発明においては、この半導体基板Sの作製は、前記したものと全く同様の工程を適用すればよく、ここではその説明は省略する。

【0026】(多層部の形成)ついで、図3(d)に示すように、上記工程で得られた半導体基板S上に、半導体クラッド層51、半導体活性層52および半導体クラ

ッド層53をこの順に成膜して、pn接合部Xを有する多層部5を形成する。

【0027】上記多層部5の構成としては、Homo型、SH（シングルヘテロ）型、DH（ダブルヘテロ）型、量子井戸型、多層量子井戸型等が可能であるが、なかでもDH型とすると、活性層上下に形成したクラッド層が該活性層からの発光を吸収せず、また発光のための電子と正孔とが効率良く活性層に閉じ込められるため、発光素子の輝度を向上させることができる。

【0028】上記活性層52／クラッド層51、53を構成する半導体材料の組合せとしては、上記半導体基板Sとなるべく格子定数の近いものが好ましく、例えば半導体基板SがGaNよりなる場合、InGaN／GaN、InGaN／InGaAlN等が好適である。

【0029】上記多層部5の形成方法としては、MOVPE、MBE、GS-MBE、MO-MBE、CBE、HVPE等が可能であるが、例えば該多層部5が上記のようにInGaN／GaNで構成される場合はMOVPEが好適に用いられる。

【0030】上記のように多層部5を形成した後、図3(e)に示すように、バッファ層2を除去し、多層部5上面には上部電極6を、半導体基板S下面には下部電極7を形成して発光ダイオードDを得る。

【0031】上記上部電極6は、直下層がp層の場合、AuBe、AuZn、Au等を、また直下層がn層の場合、AuGe、In等を多層部5上面に真空蒸着等により被着した後、パターニング、アニーリング等の処理により該面の適当な位置に任意の形状に成形することにより形成される。この上部電極6の形状は特に限定されないが、形成の容易なこと等からドット状電極とすることが好ましい。

【0032】また上記下部電極7は、直上層がp層の場合、AuBe、AuZn、Au等を、また直上層がn層の場合、AuGe、In等を半導体基板S下面に被着した後、アニーリング処理により半導体基板Sと合金化させることにより形成される。

【0033】上記電極を形成した積層体は、ダイシングしてチップ化し、発光ダイオードとするが、前記半導体基板Sの作製において露出部21をあらかじめチップサ

イズとなるように形成しておく、ダイシングする工程が不要となる。また、露出部21をある程度の大きさ（例えば3～20mm角程度）に形成する場合は、上記多層部5を、バッファ層2を除去した後に形成することもできるが、これによれば製造効率にやや劣るきらいがある。

【0034】なお本発明においては、上記と同様にして、発光ダイオード以外にもレーザーダイオード（LD）等の発光素子を製造することもできる。

【0035】上記のように、本発明の発光素子の製造方法においては、半導体層を複数に分割して形成することにより、半導体層形成用基板との格子定数や熱膨張係数の差による歪の影響が小さくなっている。したがって、半導体層にクラック等が発生しにくくなっている。

【0036】

【実施例】以下、実施例を示し本発明をより具体的に説明する。なおこれら実施例は本発明を何ら限定するものではない。

実施例1

20 厚さ300μmのサファイア基板上に、スパッタリングにより厚さ100nmのZnO層を形成した。ついで、このZnO層をSiO₂で覆い、リソグラフィーによりSiO₂を多数箇所において除去してZnO層を露出させた（この露出部分はそれぞれ10mm×10mmとした）。ついで、露出したZnO層上に1090℃の温度下でHVPEにより厚さ200μmのGaN層を形成した。この後、王水によりZnO層をエッチング除去してGaN基板を得た。

【0037】比較例1

30 上記実施例1において、ZnO層をSiO₂で覆わず、該ZnO層上の全面に直接n型GaN層を形成する以外は全て同様にしてGaN基板を得た。

【0038】実施例2～5

上記実施例1において、サファイア基板、ZnO層およびGaN層をそれぞれ表3に示すものにかえる以外は全て同様にして半導体基板を製造した。

【0039】

【表3】

		構 成 材 料			クラック等の発生 の程度
		半導体層	バッファ層	基 板	
実施例	1	GaN	ZnO	サファイア	A
	2	GaN	BeO-ZnO	サファイア	A
	3	InN	ZnO	サファイア	A
	4	InN	ZnO-HgO	サファイア	A
	5	InGaIn	BeO-ZnO-HgO	サファイア	B
	6	InGaIn/GaN	ZnO	サファイア	B
比較例	1	GaN	ZnO	サファイア	C

*クラック等の発生は、以下の結果による。

A:発生なし B:僅かに発生あり C:発生あり

【0040】実施例6

厚さ300 μ mのサファイア基板上に、スパッタリングにより厚さ100nmのZnO層を形成した。ついで、このZnO層をSiO₂で覆い、リソグラフィーによりSiO₂を多数箇所において除去してZnO層を露出させた(この露出部分はそれぞれ300 μ m×300 μ mのチップサイズとした)。ついで、露出したZnO層上に1090℃の温度下でHVPEにより厚さ200 μ mのn型GaN基板を形成した。さらに該n型GaN基板上に、厚さ2 μ mのn型GaNクラッド層、厚さ0.5 μ mのp型InGaIn活性層および厚さ0.5 μ mのp型GaNクラッド層をこの順にMOVPEによりそれぞれ形成した。この後、王水によりZnO層をエッチング除去してLEDチップを得た。

【0041】上記実施例1～5および比較例1で得られた半導体基板および実施例6で得られたLEDチップのそれぞれについて、結晶成長後の冷却過程後にクラックの発生等の有無を調べたところ、表3に示す結果が得られた。

【0042】

【発明の効果】本発明の半導体基板の製造方法によれば、半導体層を複数に分割して形成するので、半導体層形成用基板との格子定数や熱膨張係数の差による歪の影響が小さく半導体層にクラック等が発生しにくい。したがって、高品質、高信頼性の半導体基板が得られるとともに、歩留りも向上する。

*

*【0043】また、望ましい態様においては半導体層の分割形成時にそのそれぞれのサイズをあらかじめチップサイズとしておくことができるので、半導体層形成後にこれをチップサイズにダイシングする工程が不要となるため製造工程の簡素化および製造コストの低減が可能になるとともに、歩留りを向上させることができる。

【0044】さらに、本発明の発光素子の製造方法によれば、上記と同様の方法により半導体基板を作製し、この半導体基板を用いて発光素子を作製するので、高輝度、高信頼性を有する発光素子を高効率で製造することができる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す半導体基板の製造方法を示す模式断面図である。

【図2】マスクの一例を示す模式上面図である。

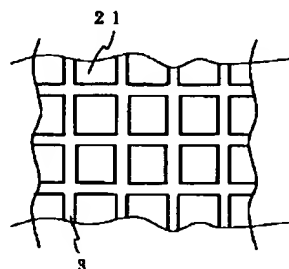
【図3】本発明の一実施例を示す発光素子の製造方法を示す模式断面図である。

【図4】従来の半導体基板の製造方法の一例を示す模式断面図である。

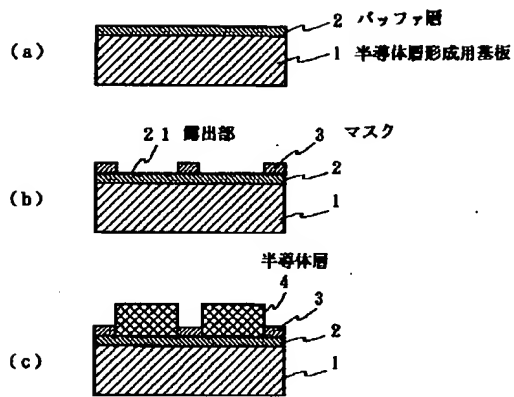
【符号の説明】

- 1 半導体層形成用基板
- 2 バッファ層
- 21 露出部
- 3 マスク
- 4 半導体層

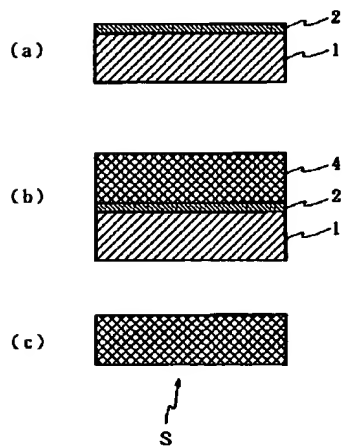
【図2】



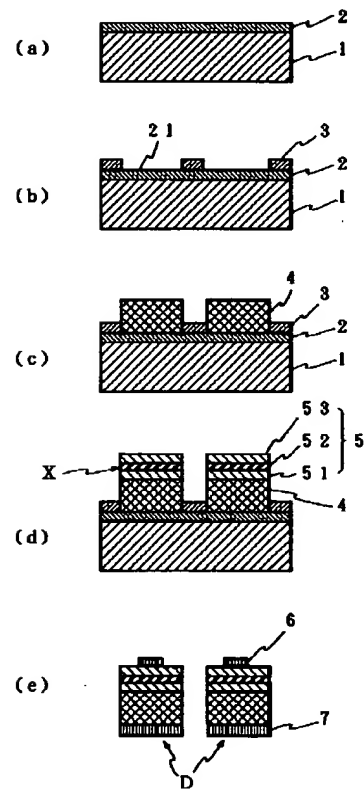
【図1】



【図4】



【図3】



フロントページの続き

(72)発明者 平松 和政
三重県四日市市芝田1丁目4番22号